

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1019850000277  
(43)Date of publication of application: 15.03.1985  
B1

---

(21)Application number: 1019800004459

(22)Date of filing: 21.11.1980

(71)Applicant:

Hitachi Ltd.

(72)Inventor:

Damura, Masao  
Kosuga, Hiroguji, et al.

(51)Int. Cl. H01L 21/20

---

## (54) FABRICATION METHOD FOR A SEMICONDUCTOR

## (57) Abstract:

The desired part of the substrate surface of a single crystalline semiconductor is covered with an insulating layer. The part of the exposed surface of the single crystalline semiconductor and the desired part of the insulating layer are covered with a polycrystalline semiconductor layer or amorphous semiconductor layer. By irradiating the laser, the desired part of the polycrystalline semiconductor layer or amorphous semiconductor layer are formed into a single crystal. The PN junction is formed on the single crystalline semiconductor layer.

Copyright 1997 KIPO

## Legal Status

Date of final disposal of an application (19850523)

Patent registration number (1000194780000)

Date of registration (19850614)

Date of opposition against the grant of a patent (00000000)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>4</sup>  
H01L 21/20

(45) 공고일자 1985년03월 15일  
(11) 공고번호 특1985-0000277

(21) 출원번호	특1980-0004459	(65) 공개번호	특1983-0004675
(22) 출원일자	1980년11월21일	(43) 공개일자	1983년07월 16일
(71) 출원인	가부시기 가이사 히다찌 세이사꾸쇼 요시아 히로기찌 일본국 도쿄도 지요다구 마루노우찌 1조메 5반 1고		
(72) 발명자	다무라 마사오 일본국 사이다미깡 도쿄로 자와시 나까아라이 5-17-6 고쓰까 히로쓰구 일본국 도쿄도 네리마구 세끼조 5-453 와다 야스오 일본국 도쿄도 분쿄구 오오쓰까 6-14-5 오오 구라 마고토 일본국 도쿄도 하찌오우지시 고야스조 2-32 C 407. 다무라 히로시 일본국 도쿄도 하찌오우지시 고야스조 2-32 고야스 다이 아파트 C-204 도꾸야마 다카시 일본국 도쿄도 히가시 구루메시 다끼야마 6조메 2-5-404 오까베 다카히로 일본국 도쿄도 니시다마군 히노데마찌 히라 2196-36 미나도 오사무 일본국 도쿄도 고다이라시 조수이 혼마찌 14738-6-3 오오바 신야 일본국 도쿄도 고꾸분지시 히가시 고이가구보 6조메 12-3		
(74) 대리인	한규환		

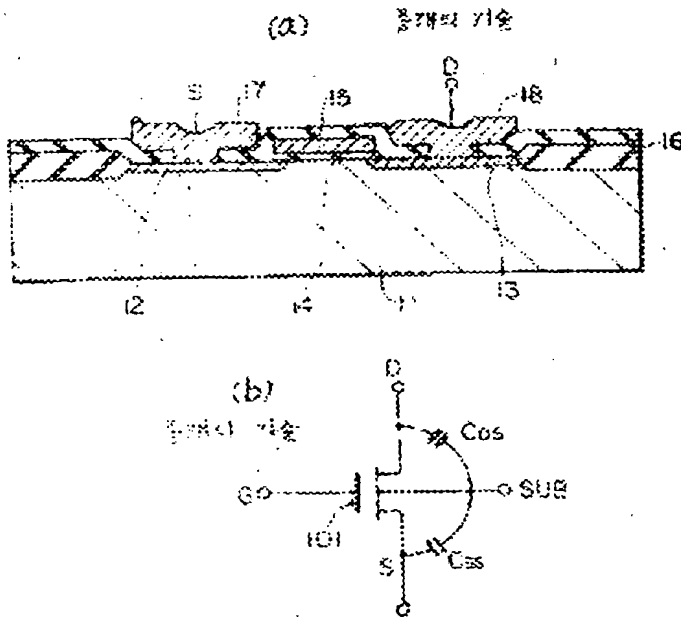
심사관 : 백승남 (특허공보 제1048호)

(54) 반도체 제조 방법

요약

내용 없음.

대포도



## 명세서

[발명의 명칭]

## 반도체 제조 방법

[도면의 간단한 설명]

제1도는 종래 FET의 단면 구조를 나타낸 도면 및 등가회로

제2도, 제3도, 제4도는 본 발명에 의한 단결정 반도체 막의 형성을 설명하기 위한 도면

제5도, 제6도, 제7도, 제8도, 제9도, 제10도, 제11도, 제12도, 제13도, 제14도, 제15도, 제16도는 각각 **별첨**의 다른 실시예를 나타낸 도면이다.

[발명의 상세한 설명]

본 발명은 반도체 제조 방법에 관한 것이며, 보다 상세하게 말하자면 반도체 단결정 기판 표면 및 그 위에 피착(被着)되어 있는 결연 막상에 연결 형성된 반도체 단결정막에 PN접합을 구비한 반도체 장치 및 이 반도체 장치를 레이저 조사에 의한 다결정(多結晶)의 단결정화(單結晶化)를 이용하여 제조하는 방법에 관한 것이다.

제1(a)도는 종래의 절연 게이트형 FET(MOSFET)의 단면 구조도를 나타낸 것이다. 종래의 N채널 MOFET는 P형 기판(11)내에 소오스 및 드레인으로 이루어진 N형 영역(12), (13)과 게이트 절연막(14) 상에 게이트 전극(15)을 가진 구조로 되어 있다. 또 16은 선택적으로 형성된 소자간 분리용 절연막이다.

이와같은 소자구조에서는, 소오스 및 드레인 전극(17), (18)은 소오스 및 드레인 확산영역(12), (13)보다도 작은 구멍(콘택트호울 : Contact hole)으로 부터 취출(取出)하지 않으면 안된다. 그래서 소오스 및 드레인 확산영역은 콘택트 호울보다도 커지므로 이 확산 영역과 기판(11)간의 기생용량( $C_{os}$ ), ( $C_{ss}$ )을 무시할 수는 없다. 제1도(6)는 기생용량( $C_{os}$ ), ( $C_{ss}$ )을 가진 MOSFET의 등가회로를 나타낸다. MOSFET(101)은 용량  $C_{os}$  및 차단(次段) 게이트 용량의 충방전시간에,따라 소자의 동작 속도가 정해지기 때문에 기생용량( $C_{os}$ )을 감소시키지 않으면 더욱 고속동작을 실현할 수 없다.

또 소오스 및 드레인 확산 영역과 기판간의 리이크전류도 무시할 수 없으며 저소비전력 동작면에 있어서도 제1도의 종래 MOSFET는 문제가 있다.

이상과 같은 결점은 MOSFET이외의 다른 FET, 즉 쇼트키 배리어 게이트 FET(SB FET)나 접합게이트 FET(JFET)에 있어서도 거의 마찬가지로 발생한다. 한편 바이플러 드랜지스터에 있어서도 베이스와 컬렉터간에 형성되는 기생용량 등으로 인하여 고주파 특성이 저하 하는 등의 많은 문제가 있어 해결책이 요망되고 있다.

본 발명의 목적은 상기한 종래의 문제점을 해결한 고성능 반도체 제조 방법을 제공하는 데 있다.

본 발명의 다른 목적은, FET(Field Effect Transistor)의 소오스 및 드레인의 기생용량이 적고 고속 동작이 가능한 FET의 제조 방법을 제공하는 데 있다.

본 발명의 다른 목적은 베이스와 컬렉터간의 기생용량이 작고 고주파 특성이 우수한 바이폴러 트랜지스터의 제조 방법을 제공하는 데 있다.

본 발명의 다른 목적은 레이저 조사를 사용하여 새로운 구조의 반도체 제조 방법을 제공하는데 있다. 상기 목적을 달성하기 위해 본 발명은 반도체 기판 표면과 그 위에 피착(被着)되어 있는 절연막상에 다결정 또는 비정질 실리콘막을 연결하여 피착한 후 이 다결정 또는 비정질 실리콘막이 레이저를 조사하여 단결정화 하고, 단결정 실리콘 막의 소망 부분에 확산영역(열 확산이나 이온 주입 등 주지의 불순물 도입 수단에 의해 형성된 영역을 본 명세서에서는 단지 확산 영역이라고 한다) 및 전극을 설치하는 반도체 제조방법을 실시한다.

상기와 같이 본 발명은 반도체 기판표면과 절연막상에 연결형성된 단결정 실리콘 막에 확산영역과 전극을 형성하는 방법에 관한 것이다. 그래서 우선 이와같이 단결정 실리콘 막의 형성에 관하여 설명한다.

주지하는 바와같이 단결정 박막은 일반적으로 고온도의 단결정 기판상에 기상(氣相) 화학 반응 등에 의하여 기상 에피택셜(Epitaxial) 성장에 필요한 물질을 주입하여 수분 내지 수 십분의 시간내에 수  $\mu\text{m}$  정도의 두께로 결정 성장을 행함으로써 형성된다.

또  $10^{-10} \sim 10^{-11}$  Torr 정도의 높은 진공 중에서 단결정 기판 표면에 소망물질을 증착한후 기판을 가열하여 결정성장을 시킨 단결정박막을 형성하는 것도 행해지고 있다. 이러한 방법은 모두 단결정 기판상에 단결정박막을 형성해야 할 물질을 주입하여 에피택셜 성장을 행하는 것이기 때문에 단결정기판표면을 사용하는 것이 불가결하여 절연막 등 비정질물질상에 단결정막을 형성하는 것은 불가능하였다.

그러나 최근에 있어서의 각종 반도체 장치가 현저하게 발달함에 따라 절연막등 비정질 물질상에도 단결정박막을 형성해야 한다는 필요성을 느끼고 연구가 행해지게 되었다. 예를 들면 기판상에 피착된  $\text{SiO}_2$  막에 띄부를 형성한 후 비정질 실리콘을 전면 에피택셜하여 레이저를 조사하는 방법이 제안되어 있다. (M.W. Geis 등이 제안한 "표면 릴리프 그레이팅 및 레이저 결정화를 이용한 비정질 기판상에서의 실리콘의 결정확장방위" Applied Physics Letter, 35(1), pp.71-74 1. July 1979)

이와같이 하면, 우선 상기 띄부 내에 피착되어 있는 비정질 실리콘이 단결정화되고 이어서 다른 부분의 비정질 실리콘도 점점 단결정화 한다고 말해지고 있다.

그러나 이 방법은 상기 흠의 형성등 각 공정의 정확한 제어가 곤란할 뿐만 아니라 얻어지는 단결정막의 특성도 의문이 있는 등 각종 반도체 장치의 제조에 이용될 수 있는 정도로는 도달해 있지 않다. 또 반도체 기판 표면부가 노출하도록 기판표면에 절연막을 피착한 후 반도체층을 전면 에피택셜하여 기판 표면에 피착되어 있는 반도체층에 전자 비임 또는 레이저를 조사 용융하고, 조사하는 장소를 순차적으로 이동시켜 존멜팅(ZONE MELTING)법에 의해 절연막상에 피착되어 있는 반도체층을 단결정화 하는 방법도 제안되어 있다(특공소 42-12087).

그러나 양호한 단결정 실리콘 막을 얻기 위하여 필요한 존 멜팅의 제조조건은 전혀 나타내져 있지 않고 또 얻어진 단결정 실리콘막내에 확산영역을 형성하여 각종 반도체 장치를 만드는 것은 전혀 나타내져 있지 않다.

본 발명에 있어서 단결정 실리콘막은 하기와 같이하여 형성된다. 제2도에 나타낸 바와같이 단결정 Si 기판(1)의 표면상의 소망부분에 비정질  $\text{SiO}_2$  막(2)을 피착하고 다시 다결정 Si 막(또는 비정질 Si 막) (3)을 용해(融解)시킨다.

이와같이 하면  $\text{SiO}_2$  막(2)이 피착되어 있지 않고 Si 기판(1)과 직접 접촉하고 있는 부분의 비정질 Si 막(3)은 기판(1)에서의 방위(方位)(hk1)를 접수하여 액상(液相)에 에피택셜 성장에 따라 단결정화한다.

한편  $\text{SiO}_2$  막(2)상에 피착되어 있는 부분의 다결정 또는 비정질 Si 막(2)은 레이저 조사에 의하여 용해된 후 일정한 과냉각(過冷却) 온도  $\Delta T$ 를 거쳐 랜덤(random)한 방위를 가진 많은 결정핵이 형성되어 다결정 성장을 행한다. 일반적으로는 단결정 성장과 다결정 성장은 독립적으로 행해지지만  $\text{SiO}_2$  막(2)상에 있어서의 다결정 또는 비정질 Si 막(3)에는 과냉각온도  $\Delta T$ 가 존재하기 때문에 이 부분에 있어서의 다결정 성장은 기판(1)과 접촉하고 있는 부분에 있어서의 단결정 성장보다도  $\Delta T / \Delta S$  ( $\Delta S$  냉각속도) 만큼 늦어진 다.

따라서 기판에 접촉되어 있는 부분에 있어서 먼저 성장을 시작한 단결정이, 절연막상에 있는 용액(融液)이 과냉각 상태에서 석출(析出)하는데 영향을 준다. 결정의 성장속도는  $\langle 110 \rangle$  성장이 가장 빠르다고 알려져 있지만 단결정기판의 방위중  $h=k$ 의 경우는  $\langle 110 \rangle$  방향이  $\{h k l\}$  결정과 수직방향이 된다.

따라서 기판 (1)과 접촉하고 있는 부분에 있어서  $\langle h k l \rangle$  방향으로 단결정이 성장할 때 그 단결정 단부에서  $\langle 110 \rangle$  방향의 단결정 성장도 행해진다. 그에 따라 절연막(2)상의 비정질 실리콘막(3)도 양단부로부터 점차 단결정화가 진행되어 결국에는 비정질 또는 다결정 실리콘막(3)은 모두 다결정막이 된다.

절연막(2)상에 있어서의 비정질 또는 다결정 실리콘막(3)의 단결정화 할 수 있는 범위 즉, 단결정화 할 수 있는 면(面)방향의거리는  $\Delta T / \Delta S$  로서 결정하기 때문에 광범위한 비정질 실리콘막(3)을 단결정화 하기 위하여서는 이 값을 가능한한 크게 할 필요가 있다.

펄스 레이저를 조사한 경우, 냉각속도는 매우 빠르기 때문에  $\Delta T / \Delta S$  의 시간은 근사적으로 사용한 레이저의 펄스 폭 정도의 시간 대(帶) 라고 생각할 수 있어 편의상 여기서는 이값을 50나노(nano)초라고 한다.

현재까지 알려져 있는 최대 결정 성장 속도는 텀드라이트나 위스커(whisker)의 경우 약 100m/초이기 때문에 비정질 실리콘막의 결정속도를 이값으로 하면 상기 시간내에 단결정화 할 수 있는 범위는 약 5 $\mu\text{m}$ 가 된다.

이 범위를 확대하는 데는 상기와 같이  $\Delta T / \Delta S$  의 시간을 늘려주면 좋으며 그렇게 하기 위해서는 펄스

폭이 긴 레이저를 사용하든지 또는 CW 레이저를 사용하여 비정질 실리콘 막상을 주사하여 용액의 온도를 높혀 용해의 유지시간을 길게 하면 좋다. 이와 같이 함에 따라 절연막상의 비정질 실리콘을 광범위하게 단결정화할 수 있으며, 예를 들면 펄스 폭 1 마이크로 초, 강도 3주울(Joule)/cm<sup>2</sup> 루우비레이저를 조사하면 양방향으로 약 100 μm 정도 용이하게 단결정화 할 수 있다.

#### [실시예 1]

제2도에 나타난 바와같이 Si기판(1)의 (100)면상에 폭 4 μm, 막두께 약 2,500 Å의 열산화막(2)을 통상의 포토링그래피 기술에 의하여 2 μm의 간격으로 형성하였다. 다음에 공지의 CVD 기술을 사용하여 막두께 약 4,000 Å의 다결정 실리콘막(3)을 전면에 피착하였다. 펄스 폭 25나노초의 Q스위치를 넣어 투우비 레이저를 전면에 조사하였다.

조사에 사용한 레이저 광의 에너지 밀도가 1.5J/cm<sup>2</sup>인 때는 다결정 실리콘 막(3)은 제3(a)도에 나타난 상태가 되었다. 즉, 조사된 레이저의 에너지 밀도가 1.5J/cm<sup>2</sup>에서는 두께 약 4,000 Å의 다결정 실리콘 막은 완전하게 용해되지 않았으며 전체적으로 결정립의 크기가 약간 성장한 다결정이되었다.

그러나 산화막(2)의 단부상에 쌓인 다결정 실리콘막(3)은 산화막(2)상에서 <110>방향으로 신장된 텍스처(texture)가 되었으며, 이 텍스처의 성장거리는 제2(a)도에 나타난 바와같이 약 1.2 μm로서 Si기판(1)상에서 발생한 결정핵의 성장이 이 방향으로 우선적으로 진행하고 있는 것을 나타내고 있다. 또 성장기간을 근사적으로 펄스 폭 정도로 하면 이 경우의 결정 성장속도는 약 50m/초이다.

다음에 레이저의 에너지 밀도 2.0J/cm<sup>2</sup>로서 전면을 조사하였다.

이와같이 하면 두께 4,000 Å의 다결정 실리콘막(3)은 완전하게 용해하여 제2(b)도에 나타난 바와같이 산화막(2) 중앙부의 상부근방 이되는 모두 단결정이 되었다. 이 때 SiO<sub>2</sub>막(2)상에 있어서의 단결정의 성장

거리는 제2(b)도에 나타난 바와같이 앞서 1.5J/cm<sup>2</sup>의 강도로서 조사한 때 텍스처 구조가 된 거리와 같으며 1.2 μm이었다. 이것은 단결정 성장 속도에는 일정한 한계가 있으며, 펄스폭이 50나노초 정도의 레이저에서 는 이 정도 거리의 성장이 한계임을 나타내고 있다.

즉, 레이저의 에너지 밀도를 크게 하면 냉각시간 ΔT가 길어지므로 단결정화 하는 거리도 중대하지만 레이저 광의 에너지 밀도가 과대하게 되면 용해한 다결정 실리콘막이 저부로 흘러 버리기 때문에 레이저 광의 에너지 밀도를 크게하는 데는 한도가 있다. 예컨대 막두께가 약 4,000~5,000Å의 다결정 또는 비정질 실리콘막의 조사에 사용할 수 있는 에너지 밀도의 최대값은 약 2.0J/cm<sup>2</sup>이다. 바꾸어 말하면 에너지 밀도 2.0J/cm<sup>2</sup>의 펄스레이저에 의하여 단결정화 할 수 있는 다결정 또는 비정질 실리콘 막의 최대 막두께 약 5,000Å이다. 이 최대 막두께는 레이저 광의 에너지 밀도를 크게 하는 것에 의해 가능하며 에너지 밀도 4.0J/cm<sup>2</sup>의 펄스 레이저를 사용하면 약 두께 1.5 μm 정도의 것 까지를 단결정화할 수 있다. 그러나 레이저의 에너지 밀도를 과대하게 하면 절연막 표면이 용해되어 유동화하여 버리기 때문에 본 발명에 있어서 사용할 수 있는 레이저의 최대 에너지 밀도는 실용적인 견지에서 약 3J/cm<sup>2</sup>로 선정하는 것이 대부분이며 따라서 이 경우에 단결정화 할 수 있는 다결정 또는 미정질 실리콘막의 막두께는 약 1 μm이다.

이와는 반대로 본 발명에 있어서 사용할 수 있는 레이저의 최소 에너지 밀도는 약 1J/cm<sup>2</sup>이다. 즉, 반도체 장치 제조 분야에 있어서 사용할 수 있는 단결정 실리콘 막은 약 1,000 Å 이상의 막 두께이어야 하며 막 두께가 1,000 Å 이하이면 집합 형성등이 매우 곤란해져 버린다. 막 두께 1,000 Å의 다결정 또는 비정질 실리콘에 레이저를 조사한 경우 횡방향의 단결정 성장이 시작되는 에너지 밀도는 약 1J/cm<sup>2</sup>이기 때문에 본 발명에 있어서 사용되는 레이저의 에너지 밀도는 약 1 J/cm<sup>2</sup> 이상이어야 한다.

펄스 레이저를 사용하여 단결정화 하는 경우 단결정화할 수 있는 면 방향의 거리를 크게하기 위해서는 조사를 반복하는 것이 유효하다. 이와 같이 하면 전회(前回)의 조사에 의하여 단결정화한 부분을 성장 핵으로서 순차적으로 단결정화를 진행하여 대면적의 단결정박막을 얻을 수가 있다. 단결정화할 수 있는 거리를 크게하여 대면적의 단결정 막을 형성하기 위하여는 연속 발전 레이저를 사용하는 것도 유효하다.

즉, 연속 발전하는 출력 15W의 CW아르곤 레이저를 사용하여 비임 직경이 50 μm (에너지 10W), 속도가 약 5m/초의 조건으로서 제3도에 나타난 구조를 주사하였다. 이와같이 하면 용해 유지시간은 약 수 마이크로 초가되어 다결정 또는 비정질 막 (3)을 SiO<sub>2</sub> 막(2)상의 부분을 포함하여 전부 단결정화할 수 있었다. 연속 발전에 의한 레이저를 사용할 때의 에너지는 5~20W로 하는 것이 바람직하다.

단 결정막에 불순물 도핑(doping)을 행하는 데는 레이저광에 의하여 단결정화를 행하기전에 이온 주입이나 열 확산법을 사용하여 소망하는 불순물을 다결정 또는 비정질 실리콘 막중에 도프한 후 레이저광을 조사하여 단결정화 하면 좋다. 예를 들면 2~3 x 10<sup>16</sup>/cm<sup>2</sup> 정도의 불순물을 도프 한후에 레이저광을 조사하여 단결정화 하면 2~3Ω/cm<sup>2</sup>의 저항층을 얻을 수 있다.

본 발명에 있어서는 레이저는 다결정 또는 비정질 실리콘을 용해할 수 있으면 좋은 것이기 때문에 이들을 용해할 수 있는 레이저를 전부 사용할 수 있는 것은 말할 것도 없다. 주사에 의하여 단결정화를 행할 때는 사용한 레이저의 종류에 따라 주사 속도를 적의 선택한다.

상기 설명은 절연막으로서 SiO<sub>2</sub>막을 사용한 경우에 관하여 설명했지만, 본 발명에 있어서, 그 위에 단결정 실리콘 막이 형성되는 절연막이 SiO<sub>2</sub>막으로 한정되는 것이 아님을 물론이며 Si<sub>3</sub>N<sub>4</sub>막, Al<sub>2</sub>O<sub>3</sub>막, 인 글라스막등 반도체 장치에 있어서 일반적으로 사용되는 각종 절연막을 광범위하게 사용하는 것이 가능하다.

이들 절연막의 측면과 실리콘 기판과의 각도 α(제2도)는 통상의 경우는 약 45°이지만 일반적으로 90

• 이하라면 결정성장의 형태에 거의 차는 발생하지 않는다.

다음에 상기 방법에 의하여 얻어진 단결정 실리콘막에 이온 주입이나 확산등의 처리를 행하여 반도체 장치를 형성하는 방법을 설명한다.

절연막상의 단결정 실리콘 막내에 각종 트랜지스터나 다이오드 등의 반도체 소자를 형성하면 이들 반도체 소자는 절연막에 의하여 반도체기판과 절연 분리되기 때문에 P<sub>n</sub>접합으로 분리하는 경우에 비교하여 기생용량이 대단히 작다는 이점이 있다.

또 SOS(silicon on sapphire)등과는 다르며 기판 자체를 반도체 소자의 일부로서 이용할 수 있다고 하는 이점도 있다.

우선, 제4(a)도에 나타난 바와같이 Si 단결정 기판(21) 상에 선택적으로 창이 열려진 SiO<sub>2</sub>층(23)을 전면에서 형성한다. 이들 막의 형성은 모두, 예를 들면 CVD등 반도체 장치제조 분야에 있어서 잘 알려진 방법에 의해 행해진다.

상기 SiO<sub>2</sub>막(22), 비정질 또는 다결정 실리콘막의 막 두께는 각각 약 1μm 및 0.5μm로 하였다. 다음에 제4(b)조에 나타난 바와같이 펄스 폭 30나노초 정도의 Q스위치를 넣어 루우비 레이저(20)를 에너지 밀도 약 2J/cm<sup>2</sup>로 비정질 또는 다결정 실리콘 막(23)의 전면에서 조사하였다.

이와같이 하면 비정질 또는 다결정 실리콘막(23)은 순간적으로 고온도가 되어 용융하여 기판(21)의 결정층에 따라서 재배열되어 제4(c)도에 나타난 바와같이 단결정 실리콘 층(24)이 SiO<sub>2</sub>층(23)의 상부까지 성장한다.

SiO<sub>2</sub>막(22)상에 일방향으로 성장한 단결정 실리콘층(24) 길이(x)는 조사 에너지 강도, 조사시간, 비정질 또는 다결정 실리콘 막 표면의凹凸 등에 따라 다르지만 상기 조건에서는 약 5μm 이었다.

따라서 SiO<sub>2</sub>막상의 비정질 또는 다결정 실리콘막을 양측에서 단결정화 하면 길이가 약 10μm의 SiO<sub>2</sub>막을 단결정 실리콘막으로 피복할 수 있다.

이와같이 레이저 조사에 의하여 단결정 실리콘을 형성시키는 방법을 이하 레이저 아날 에피택시라고 적는다. 따라서 페이저 아날 에피택시에 의해서 반도체 기판과 절연막을 연속적으로 피복하는 단결정 실리콘 막을 형성하여 얻어진 단결정 실리콘 막에 확산영역이나 전극 등을 형성하면 종래와는 다른 구조와 특징을 가진 FET, 바이폴러 트랜지스터, 다이오드 등을 형성할 수 있다.

#### [실시에 2]

본 실시예는 제4(a)도, 제4(b)도, 제4(c)도에 나타난 방법에 의하여 형성된 단결정 실리콘 막을 사용하여 쇼트 키이게이트를 가진 FET(SB-FET)를 형성한 것으로서 제5(a)도는 얻어진 SB-FET의 단면구조, 제5(b)도는 등가회로를 나타낸다.

제5도에 있어서 기호 31는 P형 실리콘 기판, 32는 SiO<sub>2</sub> 막 33,34는 각각 확산 또는 이온 주입에 의해 형성된 N<sup>+</sup>영역으로서 소오스 및 드레인으로서 레이저 아날 에피택시에 의하여 얻어진 단결정 실리콘막(35)내에 형성된다. 36,37,38은 각각 쇼트키이 배리어 게이트 전극, 소오스 전극 및 드레인 전극을 나타낸다.

본 실시예에 있어서의 SB-FET는 소오스, 드레인 (37),(38)과 실리콘 기판(31)이 SiO<sub>2</sub> 막(32)에 의하여 분리되어 있기 때문에 소오스(33) 및 드레인(34)의 기판(31)에 대한 용량이 감소하여 고주파 특성이 우수하다. 또 기판(31)을 소오스(33)에 대하여 적당한 전위(電位)로 함으로써 디플티션형 (depletion type) 엔한스먼트형 (enhancement type) 양용에 제하여할 수 있다. 또 드레인 (34)이 SiO<sub>2</sub> 막(32)으로 분리되어 있기 때문에 내압(耐壓)도 높게할 수 있다. 또, 쇼트키이게이트 대신 PN 접합게이트로 하면 JFET가 된다.

#### [실시에 3]

제6(a)도는 소오스 및 드레인의 쇼트키이 콘택트(43),(44)로 형성된 MOSFET의 단면 구조를 나타낸다.

제6(a)도에 있어서 41은 N<sup>+</sup>형 Si 단결정기판, 42는 SiO<sub>2</sub>등의 게이트 절연막, 47은 게이트전극, 48,49는 각각 소오스 및 드레인 전극이다.

제6(b)도는 이 MOSFET의 등가회로를 나타낸다. 이 MOSFET의 특징은 실시예 2에 나타난 것과 같다.

#### [실시에 4]

제7도는 본 발명에 의하여 통상의 MOSFET를 형성하 예를 나타내며, 제7(a)도, 제7(b)도, 제7(c)도는 제조 공정을 나타낸다.

제2도에서 나타난 공정에 의하여 얻어진 단결정 실리콘(53)의 SiO<sub>2</sub>막(52)의 개구부상에 게이트 절연막(SiO<sub>2</sub>등) (54), 다결정 Si 층으로서 게이트 전극(55)을 통상의 공정에 의해 형성된다. (제7(a)도), 다음에 그 게이트 전극(55)을 마크로 하여 SiO<sub>2</sub>막 (52)상의 단결정 Si층(53)에 이온 주입 또는 열확산법에 의해 불순물을 도입하여 N<sup>+</sup>형 영역(56), (57)을 형성하여 소오스 (56) 및 드레인 (57)을 설치한다. (제7(b)도), 그후 SiO<sub>2</sub>등의 절연막 (50)을 다시 형성하여 전극취출공을 에칭하여 A1등의 소오스 및 드레인 전극(58), (59)을 형성한다. (제7(c)도), 그리고 제7도에 있어서, 51은 Pt(또는 P)형 Si 단결정기체(基體)(기판, 에피택셜층, 매입층등)이고, 52는 SiO<sub>2</sub>막, Si<sub>3</sub>N<sub>4</sub> 막, Al<sub>2</sub>O<sub>3</sub>막, 인글라스 막등의 소망하는 절연막을 선정한다. 또 단결정 Si층(53)으로서 여기에서는 N채널 엔한스먼트형 MOSFET를 만들기 위하여

P형층으로 했지만, 디플리션형으로 하기 위하여 N형층으로 하여도 좋다.

그리고 각층의 도전형의 새로 하면 P채널 MOSFET 를 만들 수 있는 것은 물론이다. 또 단결정 Si 층 (53)의 도전형은 레이저 광에 의한 단결정화를 행하기전후에 소망하는 도전형 불순물의 도핑을 이온 주입이나 열확산법등에 의해 행하면 좋다. 물론 비정질 Si 혹은 다결정 Si형성시 동시에 불순물 도핑을 행할 수도 있다.

제7(c)도로서 맹백해진 바와 같이 소오스 및 드레인 영역 (56), (57)은 절연막 (52)상에 존재하기 때문에 기판(51)간의 기생 용량은 적어지고 고주파 특성이 우수하여, 소오스 및 드레인 영역과 기판간의 리 이키 전류도 적어지며 드레인 내압이 높다.

이와같이 레이저 아날에피택셜 성장법으로 형성한 절연막상의 단결정반도체층에 소오스 및 드레인을 형성함에 따라 FET 의 소오스 및 드레인과 기판간 용량이 현저하게 저하할 수 있으며 기판의 불순물 농도를 자유로이 변화시킬 수 있고 (이것에 의해 다른 소자와의 공존 복합이 자유롭게 된다), 드레인 내압이 높은 점 등의 개선이 얻어진다.

또 제7(d)도는 제7(c)도에 나타난 구조의 MOSFET 의 등 가 회로도이다. 상기 실시예 2~4에서는 FET 의 소오스 및 드레인의 양자를 함께 절연막상의 단결정 반도체 층에 설치했지만 필요에 따라 한쪽만(예를 들면 드레인에만)을 절연막상의 단결정실리콘 막내에 형성하여도 좋다. 또 소오스 및 드레인 간의 영역 이 기체와 접촉하고 있지만 이 영역을 절연막상에 설치하여 FET 의 전영역을 절연막상의 단결정층에 설치할 수도 있다.

#### [실시예 5]

상기 실시예에는 모두 단결정 실리콘을 단지 1층 형성한 경우를 나타냈지만, 제4(a)도, 제4(b)도, 제4(c)도에 나타난 공정을 반복함에 따라 단결정-절연막-단결정이라고 하는 구조를 적층 형성할 수 있다.

제8도는 그 1예이며, 단결정 반도체 기판 (61)상에 절연막(62)이 설치되고 그리고 단결정 반도체층 (63)이 설치되고 다시 그 위에 절연막(64), 단결정 반도체층(65)이 설치되어 있다. 단결정반도체층(63) (65)은 각각 제1회에 제2회째의 레이저 아날 에피택셜 성장에 따라 설치된 것은 말할 것도 없다.

#### [실시예 6]

본 실시예에는 실시예 5에 의해 얻어진 2개의 단결정 실리콘막을 사용하여 FET 를 쌓아올린 구조의 반도체 장치를 나타낸다.

제9(a)도는 1층의 단결정 실리콘 막 (53)을 형성하여 거기다 2개의 MOSFET( $M_1$ ,  $M_2$ )를 형성한 경우를 나타냈지만, 제9(b)도는 다시 그 위에 단결정 실리콘막(53')를 형성하여 거기다 제3MOSFET (56"은 소오스, 57"드레인, 55"는 게이트)를 형성한 경우를 나타낸다.

제9(b)도에 있어서, 71,72,73은 A1등의 전극, 74는 MOSFET ( $M_2$ )의 드레인 (57")과 게이트 (55")를 접속하는 N형 영역이다. 동도(c)는 이 MOSFET회로의 등 가회로도이다.

이와같이 FET등 반도체 일레먼트를 쌓아올려 형성함에 따라 고집적화가 가능하게 되고 또한 기생용량이나 배선용량이 종래보다 매우 적어 대단히 우수한 특성이 얻어진다.

#### [실시예 7]

제10도는 본 발명의 MOSFET을 사용하여 구성된 집적회로의 예를 나타낸 것으로서, MOS 형 스택형 RAM의 메모리셀을 예로 든 것이다. 우선 제10(a)도에 나타난 바와 같이 N형 Si 단결정기판(80)상에 선택적으로  $SiO_2$ 층(81)을 형성하여 전면에 다결정 Si층(81)을 형성하여 전면에 다결정 Si층(82)을 형성한다. 이어서 레이저광을 조사하여 단결정 실리콘 층 (83), (84), (85)을 성장시킨다.  $SiO_2$ 층(81)의 황방향 첫수를 적당한 길이로 하면 단결정화 되지 않은 다결정층(82)을 남겨둘 수가 있다. (제10(b)도). 이어서 단결정 실리콘 막(82)의 소망 영역에 P형 불순물을 주입하여 P형 영역(89)을 형성하고, 게이트 산화막( $SiO_2$ 등)(86), 게이트 전극(다결정 Si막) (87)을 형성하여 소오스 및 트게인으로된 N형 고농도 불순물층(88)을 형성한다. 동시에 영역(88)과 마찬가지로 고농도 N형층으로 한다. 한편 다결정층(82)은 이른바 논도프(non dope)의 상태로 유지하여 108 $\Omega$ 이상의 고저항층으로서 사용한다. 제10(d)도는 제10(c)도에 나타난 장치에서 얻어지는 회로를 나타낸다. 이 회로는 현재 스택형 메모리등에서 사용되고 있는 플립플롭형 메모리 셀이다. 제10(c)도로서 맹백해진 바와 같이 소오스 및 드레인 영역(88)은  $SiO_2$ 를 거쳐 기판(80)과 분리되어 있기 때문에 그 용량은 대단히 작으며 회로의 스위칭 속도가 대표적으로 향상한다. 영역(88)을 N+형 불순물층으로서 MOSFET 의 기체(基體)(89)을 P형막 N채널 MOSFET 를 구성하면 반도체기판(80)을 N형으로 할 수 있기 때문에 현재 반도체 메모리에서 문제로 되어 있는  $\alpha$ 입자에 의한 소프트 에러는 대폭적으로 감소하여 높은 신뢰성의 반도체 장치를 얻을 수 있다. 또 반도체기판(80)을 고농도의 P형 (P+형)으로 해도 소프트 에러를 감소시킬 수 있지만 전원 단자는  $V_{cc}$ 이 된다.

또 메모리셀의 부하로서 저항을 사용했지만 다른 소자 예를 들면 MOSFET ( $N_1$ ,  $N_2$ )와 같은 MOSFET 또는 절연막상의 단결정층에 형성된 MOSFET를 사용할 수 있다.

#### [실시예 8]

제11도는 본 발명의 MOSFET 를 사용한 C-MOS의 실시예를 나타낸 것이다. N형 Si 단결정기판(90)상에 선택적으로  $SiO_2$  층을(91)을 형성하여 그 전면에 다결정 Si층(92)을 형성한다 (제11(a)도). 다음에 레이저 광을 조사하여 단결정층을 성장시켜 일부의 단결정막 (93)을 남기고 그외는 제거한다. 단결정 실리콘막(93)에 예를 들면 보론을 이온주입하여 P형막으로 한다. CVD등 공지의 방법을 사용하여

제11(b)도에 나타난 바와 같이 게이트 산화막( $\text{SiO}_2$ 등) (94), (95) 게이트 전극(단결정 Si층등) (96), (97)을 형성한다. 다음에 제11(c)도에 나타난 바와같이 영역(A)에는 예를 들면 인을 이온주입하여 소오스(901) 드레인 (902)이 되는 N형 영역을 형성한다. 한편 영역 (B)에는 예컨대 보론을 이온 주입하여 소오스 (90) 및 드레인(904)이 되는 P형 영역을 형성한다. 제11(c)도에 나타난 바와같이 전영역(A)에는 N채널 MOSFET 영역(B)에는 P채널 MOSFET가 각각 형성되어 이 2종류의 소자로 C MOS회로가 구성된다. 본 장치의 제1특징을 N 채널 MOSFET의 기체(93)가 반도체기판(90)의 표면상부에 형성되어 P채널 MOSFET의 소오스(903)와  $\text{SiO}_2$ 막(94)을 거쳐 분리되어 있기 때문에 종래구조의 C MOS 회로에서 문제로 되어있던 기생 사이리스터 효과가 현저하게 감소하고 또 P채널, N채널 MOSFET간의 소자 분리에 필요한 영역이 거의 평면적으로 0으로 할 수 있기 때문에 집적 밀도의 향상이 도모되는 것이다. 또 제2특징은 실시예(7)에서 기술한 바와 같이 소프트에러가 대폭적으로 감소하여 높은 신뢰성의 반도체장치가 얻어지는 점에 있다. 또 본 실시예에서는 기판과 소오스 및 드레인 영역의 불순물이 각각 N형 및 P형인 경우에 관해서 설명했지만 본 실시예와 전혀 반대인 도전형의 불순물을 사용하여도 본 발명에서 얻어지는 효과는 마찬가지이다.

#### [실시예 9]

제12도는 본 발명의 MOSFET을 사용한 C-MOS의 다른 실시예를 나타낸 것이다. 기판(100)상에  $\text{SiO}_2$ 층(101)을 형성하여 이 기판과  $\text{SiO}_2$ 층상에 설치된 단결정 S1 층내에 P형 불순물층(104), N형의 소오스와 드레인층(102), (1034), 게이트 산화막(1050, 게이트전극이 되는 다결정 Si층(106)을 형성하여 N채널 MOSFET를 구성하는 한편 N형 불순물층(109), P형의 소오스 및 드레인층(107), (108), 게이트산화막(110), 게이트 전극이 되는 다결정 Si층(111)으로 P채널 MOSFET을 구성하고 있다. 실시예8에 비교하여 P채널 MOSFET의 소오스 및 드레인이 되는 불순물층과 기고나간의 접합용량이 대폭적으로 감소하기 때문에 회로의 스위칭 시간이 작아 고속화할 수 있다.

물론 제11(c)도 및 제12도에 나타내고 있는 구조를 조합하면 더욱 본 발명의 효과가 증대되는 것을 명백하다. 또 기판상에 선택적으로 형성된  $\text{SiO}_2$ 상의 소자에 관해서도 본 실시예에서는 단층만으로 설명했지만 다층구조로 할 수 있는 것은 본발명으로서 명백한 것이고 집적도의 비약적 향상이 기대되는 것은 명백하다.

또 제11도, 제12도에서는 C-MOS를 형성했지만 2개의 MOSFET를 동일 채널의 MOSFET로 하여도 좋은 것은 물론이다.

#### [실시예 10]

다음에 본 발명에 의하여 바이폴러 트랜지스터를 형성한 실시예를 나타낸다.

우선, 제13(a)도에 나타난 바와같이 P형 실리콘기판(100)의 표면영역에 N<sup>+</sup>층(125)을 형성한 후 앞서 설명한 방법을 사용하여 레이저 조사에 의해  $\gamma$ 형 단결정 실리콘층(114)을 형성하여  $\text{SiO}_2$ 층(126)을 마스크에 사용하여 베이스가 되는 P형 확산층(127)을 형성한다.

제13(b)도에 나타난 바와같이 통상의 바이폴러 공정에 의하여 N<sup>+</sup>형 에미터(129), 컬렉터전극 취출용 N<sup>+</sup>층(130) 및 Si등의 전극(131)~(134)등을 형성시키면 제13(c)도에 나타난 회로를 가진 소자가 형성된다.

또 전극(134)은 N형층(114)과의 사이에서 쇼트키 다이오드를 형성하고 있다.

이와같이 하여 형성된 소자의 특징은, 레이저 조사에 의하여 형성된 P형 단결정 실리콘층이 베이스(127)의 인출전극으로서  $\text{SiO}_2$ 막(112)상에 취출용과 동시에 베이스와 컬렉터의 접속부 면적이 대단히 작은 것이다. 이 때문에 베이스와 컬렉터간의 기생용량이 절감되어 고주파 특성이 우수한 한편 소자의 크기를 감소시킬수도 있다.

#### [실시예 11]

제14도는 본 발명의 다른 실시예이며 레이저 조사에 의하여 형성된 단결정층 및 다결정층을 저항으로서 사용한 예를 나타낸다.

제14도에 있어서 기호(135), (136)는 레이저 조사에 의하여 얻어진 N<sup>+</sup>형 단결정층 137은 N형 다결정층, 112, 112'는 절연층, 138, 137은 Si등 양(良) 도전성 금속으로 된 전극이다.

불순물 농도가 낮은 다결정 실리콘막(137)은 저항으로서 작용하여 전극(138), (130)과의 전기적 콘택트는 불순물 농도가 높은 저저항의 단결정 실리콘막(135), (136)에 의하여 양호하다.

#### [실시예 12]

제15도는 일반적으로  $I^2L$ 이라고 불리우고 있는 반도체 장치를 본 발명에 의하여 형성한 실시예를 나타내며 상기 바이폴러 NPN소자의 경우와 같은 방법에 의하여 형성된다.

본 실시예의 특징은 인젝터(141)를 레이저 조사에 의하여  $\text{SiO}_2$ 막(112)상에 형성하고 있기 때문에 주입효율이 높아지는 점, 베이스(142)중 외부 베이스는  $\text{SiO}_2$ 막(112)상에 형성되기 때문에 기생용량이나 기생주입이 없고,  $I^2L$ 의 전류제어( $\text{Beff}$ ) 및 속도(ff)를 심분 크게할 수 있는 것이다.

또 제15도에 있어서, 121은 N<sup>+</sup>형에 미터 기체, 143은 절연막, 144, 145는 N<sup>+</sup>형 컬렉터, 146은 인젝터전극, 147, 148은 컬렉터전극, 149는 베이스 전극이다.

#### [실시예 13]



본 발명에 의하여 형성된 단결정 실리콘층을 절연체에 의하여 복수의 영역으로 분리하여 기판과 분리된 부분 및 기판과 접속되어 있 부분에 각각 소자를 형성할 수 있다. 제16도는 그 1예를 나타내며, 우선 제16(a)도에 나타난 바와 같이 p형 실리콘 기판(100)상에 상기 방법에 따라서  $\text{SiO}_2$ 막(112) 및 N형 단결정층(114)을 형성하고, 다음에 제16(b)도에 나타난 바와같이 절연층(150), (151)을 형성하면 선 모양으로 분리된 부분(152) 및 기판(100)에 접속된 부분(153)이 형성된다. 절연층(150), (151)은  $\text{SiO}_2$ 이라도 물론 좋지만 단지 예칭에 의하여 공기분리를 행하여도 좋다.

또, 종래 일반적으로 사용되고 있는 LoCoS 기술에 의하여  $\text{SiO}_2$ 분리를 행하여도 좋다. 이와같이 하여 각각 특성이 다른 섬모양 영역을 형성할 수 있으므로 각각 특성에 따른 소자를 형성할 수 있어 실용상 대단히 유리하다.

제16(c)도는 그 1예로서 완전하게 분리된 성영역중에 라테럴 PNP 트랜지스터 191은 P형에 미터, 192는 N형 베이스 193을 P형 콜렉터를 기판과 접속된 영역중에는 종형(縱形) NPN트랜지스터(129:N형에미터, 127:P형 베이스, 114, 125, 130 : N형 콜렉터)를 형성한 것이다.

라테럴 PNP트랜지스터는 이와같이 주위를 완전하게 절연체로서 분리되어 있기 때문에 소형이라도 높은 전류 이득과 주파수 특성을 얻을 수가 있다.

이상의 설명으로서 명백해진 바와같이 본 발명에 의하면 기판표면과 절연막상에 연결되어 형성된 단결정 반도체막에 바이폴러 트랜지스터, FET, 다이오드 및 저항등 각종반도체 소자를 형성할 수 있다. 이들 각종 반도체 소자는 단지 1종류만이 아니라 그 종류 이상의 반도체 소자를 동일한 단결정 반도체 막내에 형성할 수 있는 것은 말할여지도 없다.

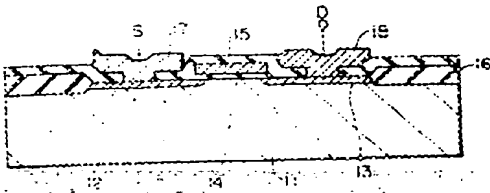
#### (57) 청구의 범위

##### 청구항 1

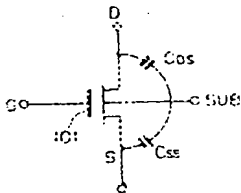
단결정 반도체 기판 표면의 소망 부분에 절연막을 피착하는 단계와, 단결정 반도체 기판의 노출 표면의 일부와 절연막의 소망 부분을 연속적으로 피복하기 위하여 다결정 반도체막이나 비정질 반도체 막을 피착하는 단계와, 다결정 반도체막이나 비정질 반도체막의 서망 부분에 레이저를 조사하여 피조사 부분의 일부를 단결정화 하면서 단결정 반도체 기판 표면과 절연막의소망 부분을 연속적으로 피복하여 단결정 반도체막을 형성하는 단계와 단결정 반도체막의 소망 부분에 P N접합을 형성하는 단계들로 이루어진 반도체 제조 방법

#### 도면

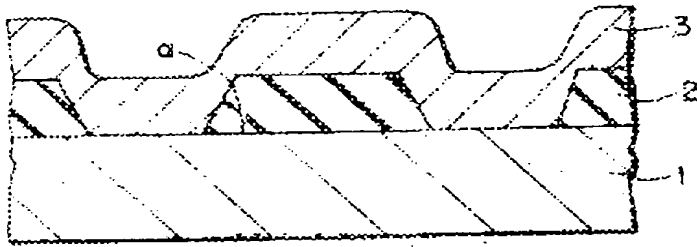
도면1a(종래의



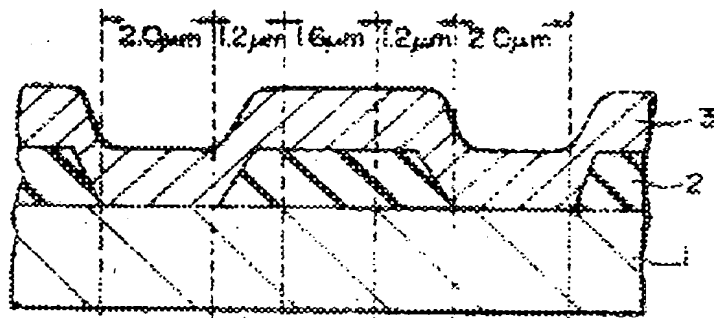
도면1b(종래의



도면2

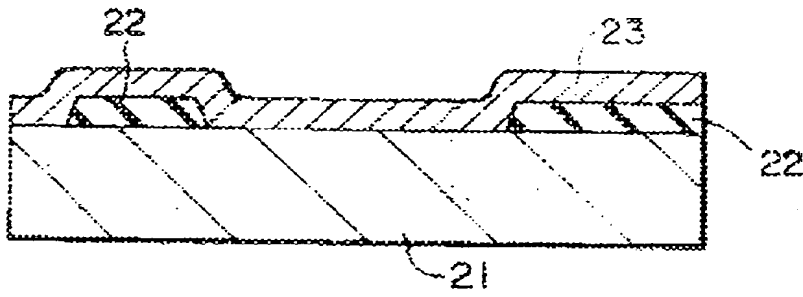


도면3

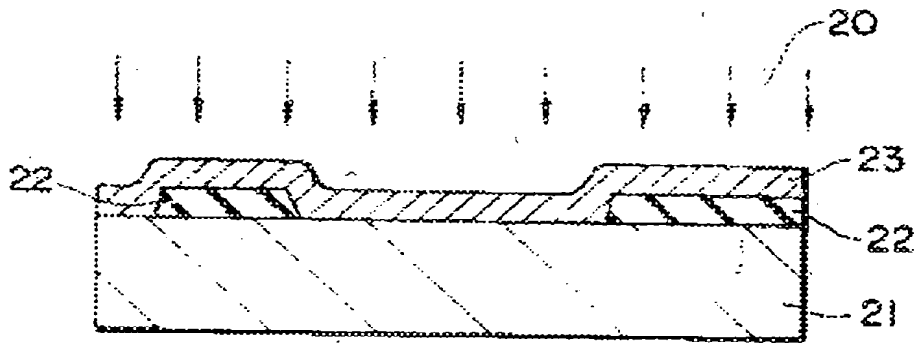


(a)	다정성	다정성	다정성	다정성	다정성	15J/cm <sup>2</sup>
(b)	다정성	다정성	다정성	다정성	다정성	2.0J/cm <sup>2</sup>

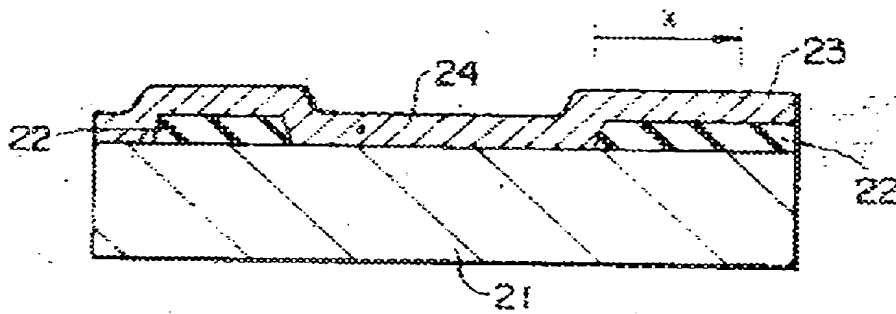
도면4a



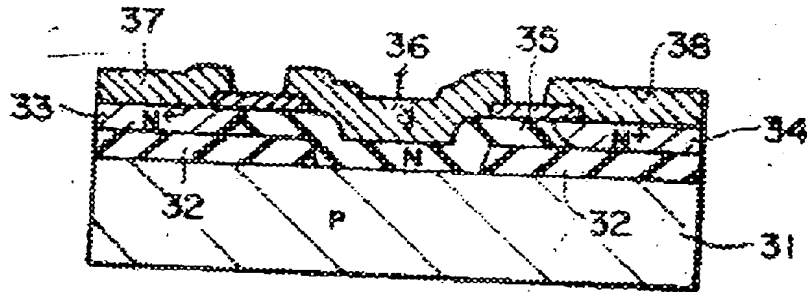
도면4b



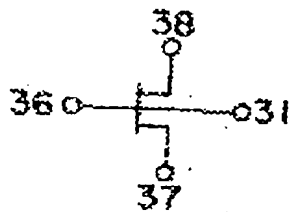
도면4c



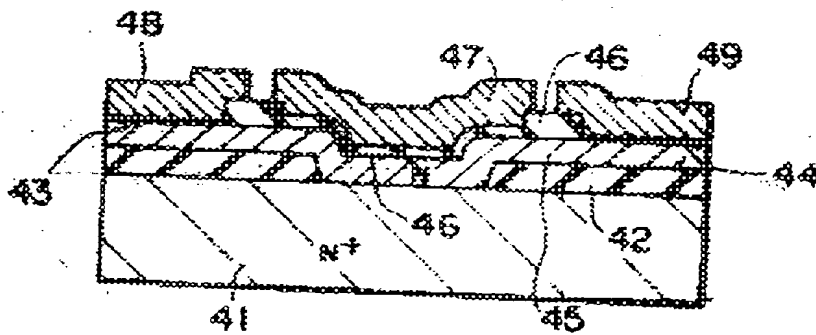
도면5a



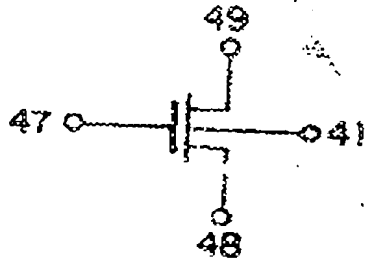
도면5b



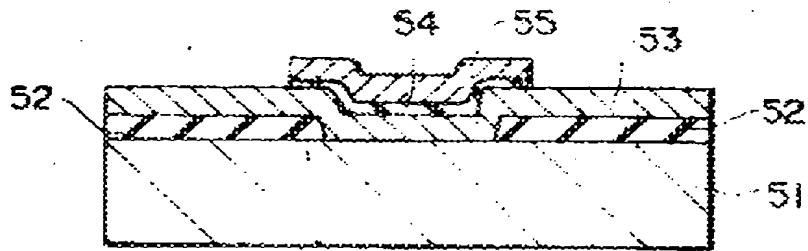
도면6a



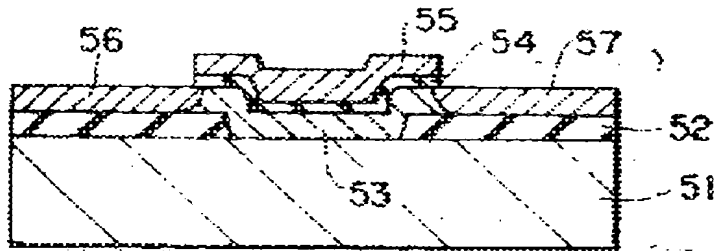
도면6b



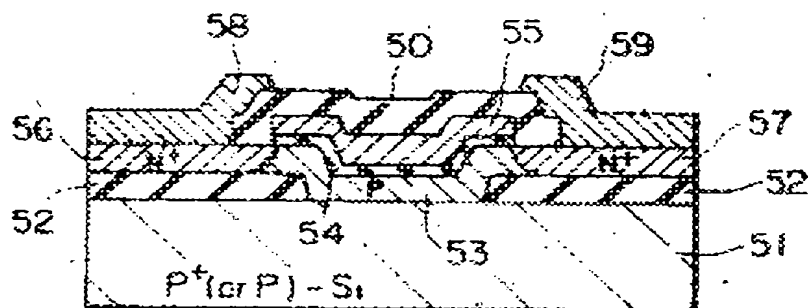
도면7a



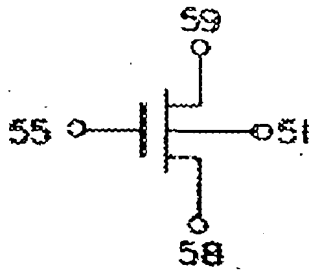
도면7b



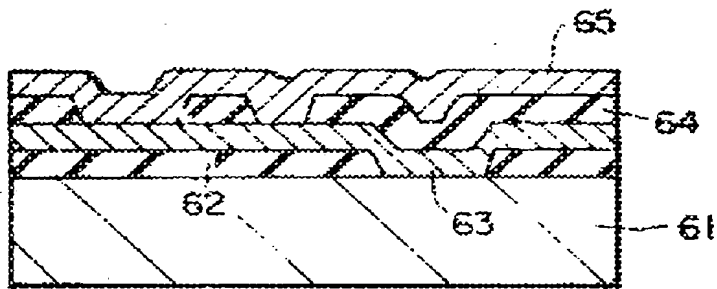
도면7c



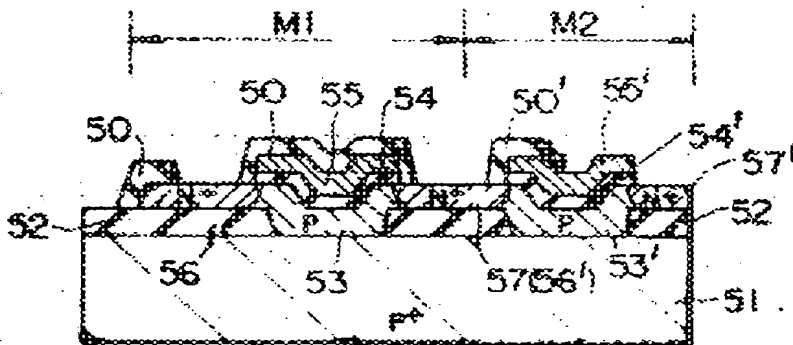
도면7d



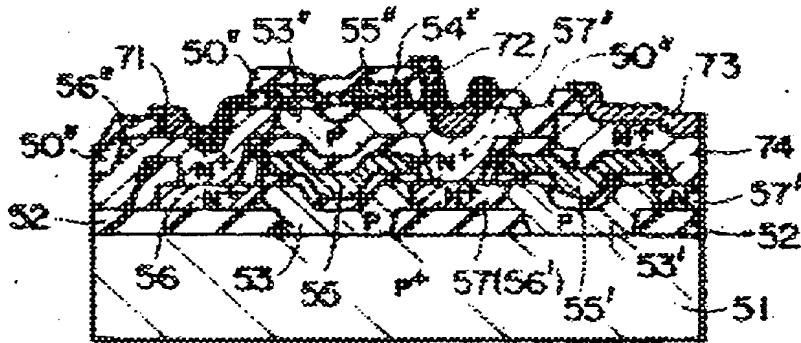
도면8



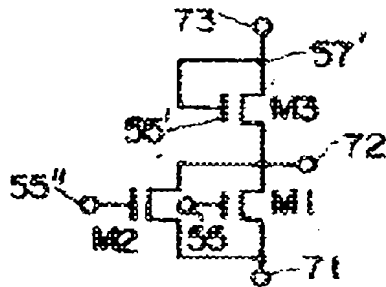
도면9a



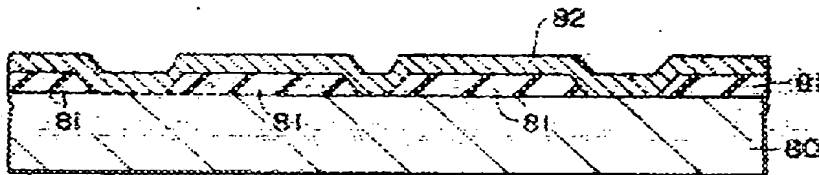
도면9b



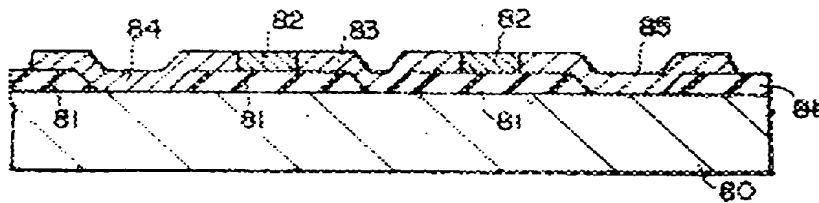
도면9c



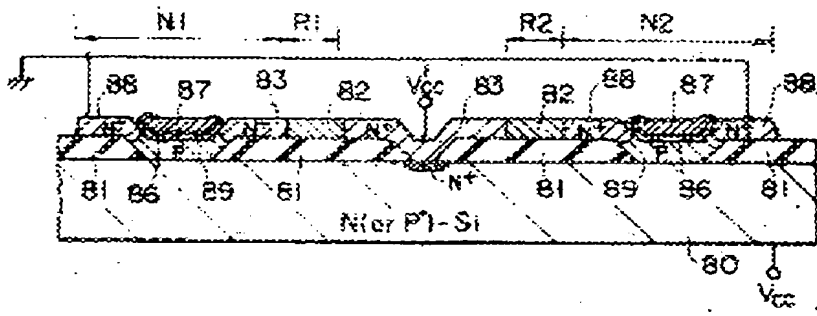
도면10a



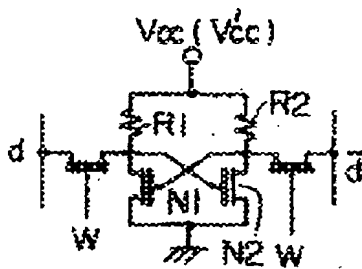
도면10b



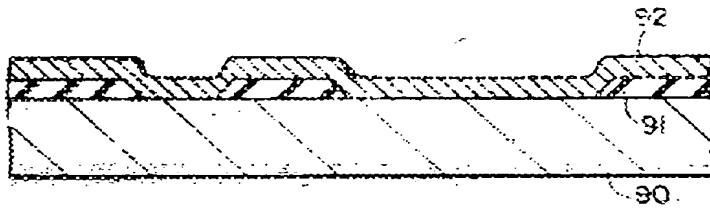
도면 10c



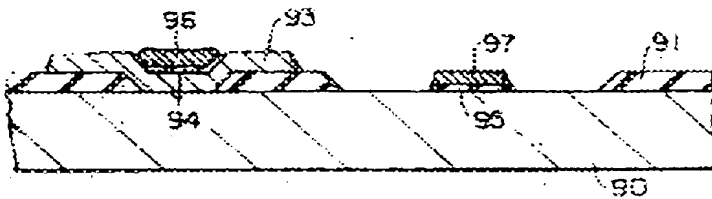
도면 10d



도면 11a

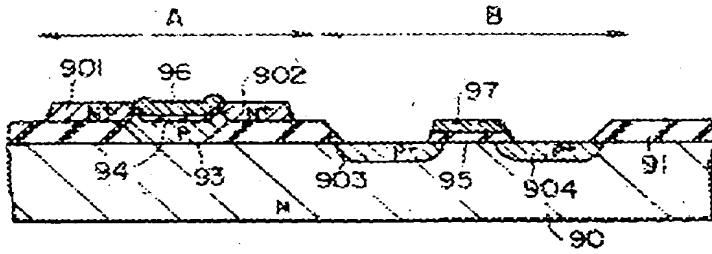


도면 11b

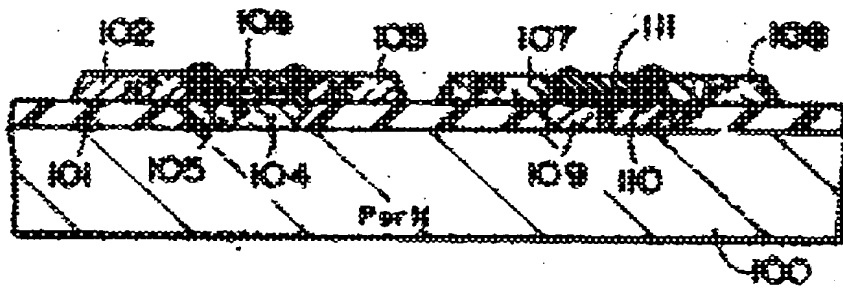




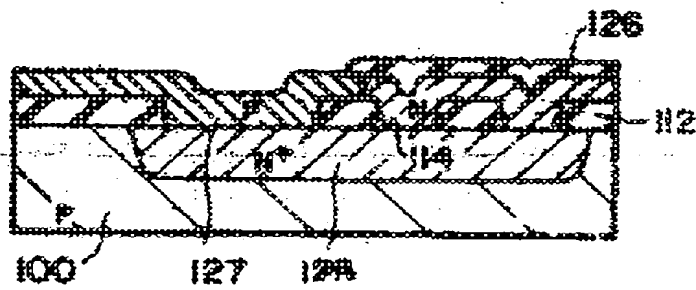
도면 11c



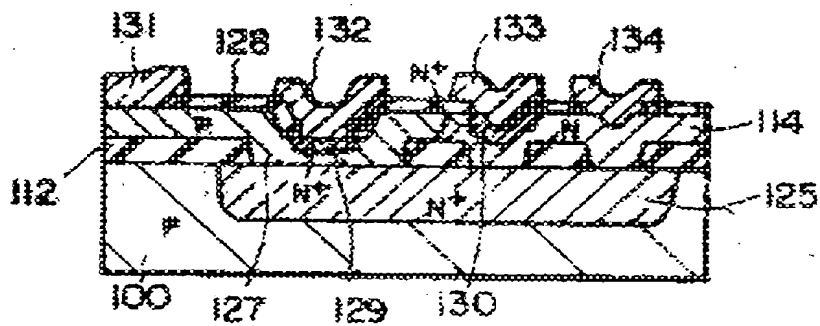
도면 12



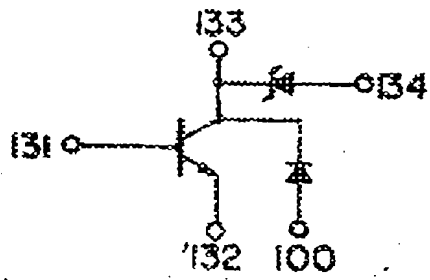
도면 13a



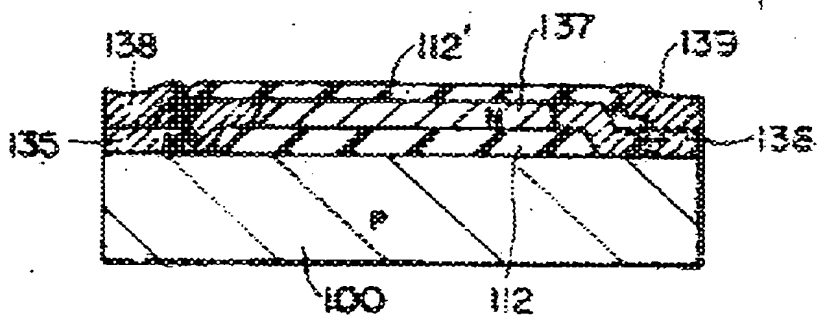
도면 13b



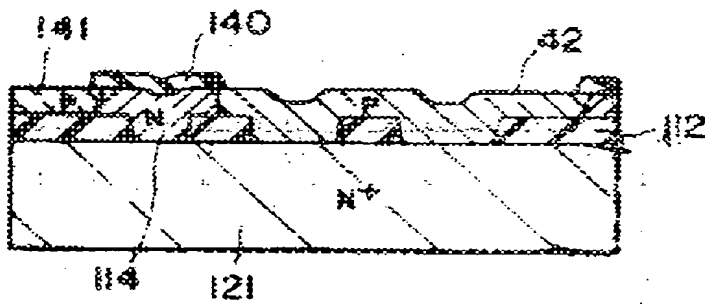
도면 13c



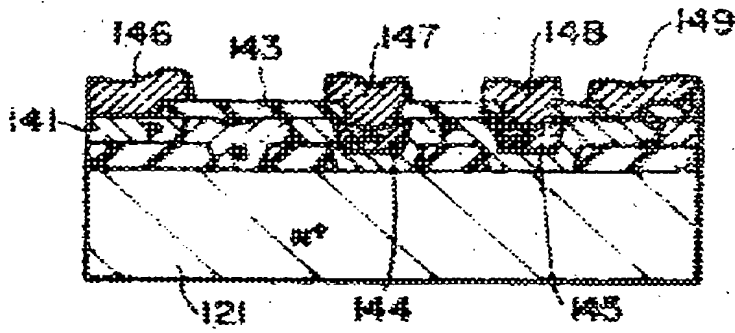
도면 14



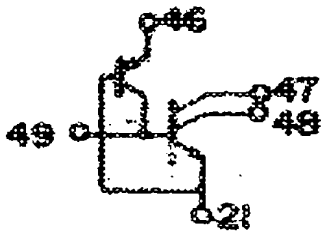
도면 15a



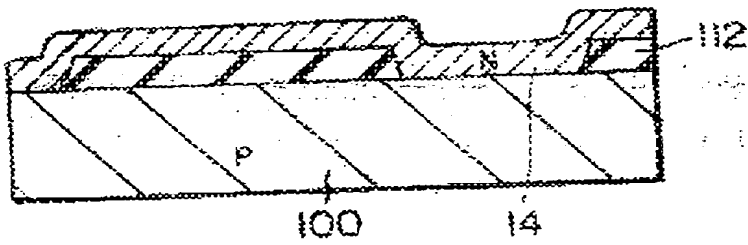
도면 15b



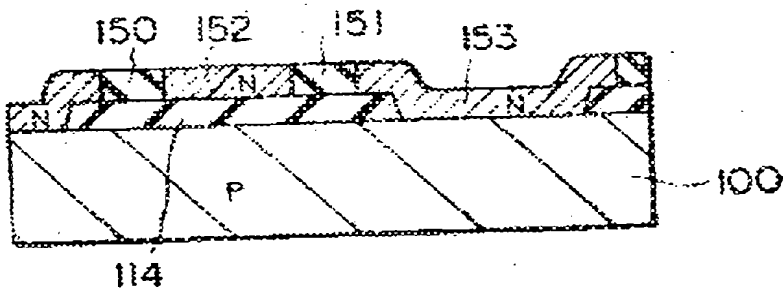
도면 15c



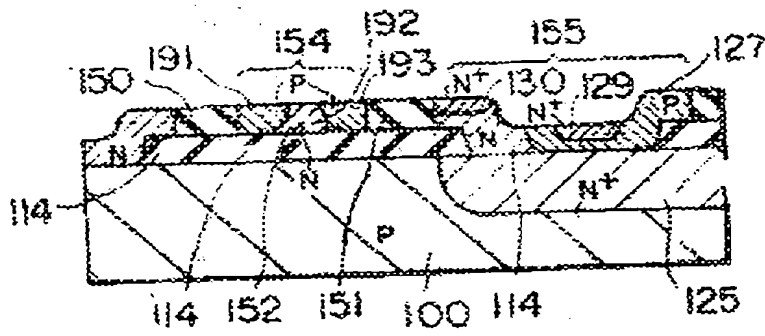
도면 16a



도면 16b



도면16c



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**